

DETAIL**JAPANESE****LEGAL
STATUS**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-232075

(43)Date of publication of application : 22.08.2000

(51)Int. Cl. H01L 21/265

H01L 29/78

H01L 21/336

(21)Application number : 11-032784

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 10.02.1999

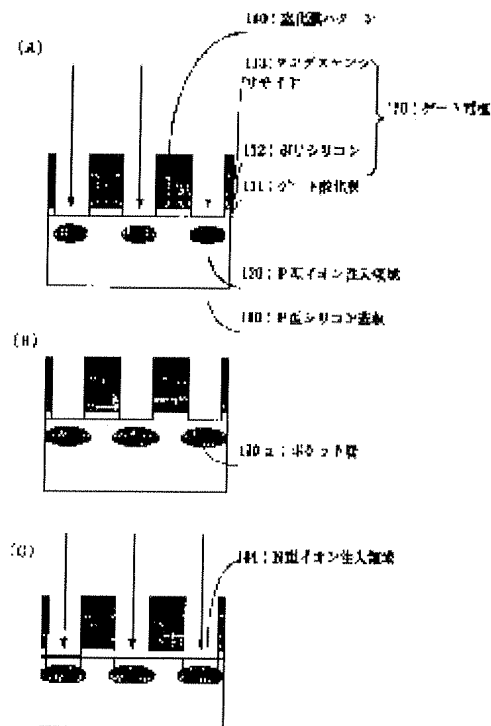
(72)Inventor : SHINOHARA HIROBUMI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To permit formation of a MOS FET which reliably has a pocket layer, even when it becomes difficult to implant impurity ions from an oblique direction with respect to a silicon substrate, due to its miniaturization in steps of manufacturing a semiconductor device and in particular, a MOS FET having the pocket layer.

SOLUTION: A gate oxide film 111, a gate electrode 150 made of a polysilicon film 112 and a tungsten silicide film 113, and a nitride film pattern 140 are selectively formed on a P-type silicon substrate 110, and then the P-type silicon substrate is subjected to vertical implantation of P-type impurity ions with respect to the substrate. Then a P-type ion implanted region 120 formed by the P-type ion implantation is diffused and activated, to form a pocket layer 120a prior to the formation of other ion-implanted regions.



類別記号	(51)IntCl ⁷

[illegible]

21/336

1
2
3
4
5
6
7
8
9
10
11
12
13
14
15
16
17
18
19
20
21
22
23
24
25
26
27
28
29
30
31
32
33
34
35
36
37
38
39
40
41
42
43
44
45
46
47
48
49
50
51
52
53
54
55
56
57
58
59
60
61
62
63
64
65
66
67
68
69
70
71
72
73
74
75
76
77
78
79
80
81
82
83
84
85
86
87
88
89
90
91
92
93
94
95
96
97
98
99
100
101
102
103
104
105
106
107
108
109
110
111
112
113
114
115
116
117
118
119
120
121
122
123
124
125
126
127
128
129
130
131
132
133
134
135
136
137
138
139
140
141
142
143
144
145
146
147
148
149
150
151
152
153
154
155
156
157
158
159
160
161
162
163
164
165
166
167
168
169
170
171
172
173
174
175
176
177
178
179
180
181
182
183
184
185
186
187
188
189
190
191
192
193
194
195
196
197
198
199
200
201
202
203
204
205
206
207
208
209
210
211
212
213
214
215
216
217
218
219
220
221
222
223
224
225
226
227
228
229
230
231
232
233
234
235
236
237
238
239
240
241
242
243
244
245
246
247
248
249
250
251
252
253
254
255
256
257
258
259
260
261
262
263
264
265
266
267
268
269
270
271
272
273
274
275
276
277
278
279
280
281
282
283
284
285
286
287
288
289
290
291
292
293
294
295
296
297
298
299
300
301
302
303
304
305
306
307
308
309
310
311
312
313
314
315
316
317
318
319
320
321
322
323
324
325
326
327
328
329
330
331
332
333
334
335
336
337
338
339
340
341
342
343
344
345
346
347
348
349
350
351
352
353
354
355
356
357
358
359
360
361
362
363
364
365
366
367
368
369
370
371
372
373
374
375
376
377
378
379
380
381
382
383
384
385
386
387
388
389
390
391
392
393
394
395
396
397
398
399
400
401
402
403
404
405
406
407
408
409
410
411
412
413
414
415
416
417
418
419
420
421
422
423
424
425
426
427
428
429
430
431
432
433
434
435
436
437
438
439
440
441
442
443
444
445
446
447
448
449
450
451
452
453
454
455
456
457
458
459
460
461
462
463
464
465
466
467
468
469
470
471
472
473
474
475
476
477
478
479
480
481
482
483
484
485
486
487
488
489
490
491
492
493
494
495
496
497
498
499
500
501
502
503
504
505
506
507
508
509
510
511
512
513
514
515
516
517
518
519
520
521
522
523
524
525
526
527
528
529
530
531
532
533
534
535
536
537
538
539
540
541
542
543
544
545
546
547
548
549
550
551
552
553
554
555
556
557
558
559
560
561
562
563
564
565
566
567
568
569
570
571
572
573
574
575
576
577
578
579
580
581
582
583
584
585
586
587
588
589
590
591
592
593
594
595
596
597
598
599
600
601
602
603
604
605
606
607
608
609
610
611
612
613
614
615
616
617
618
619
620
621
622
623
624
625
626
627
628
629
630
631
632
633
634
635
636
637
638
639
640
641
642
643
644
645
646
647
648
649
650
651
652
653
654
655
656
657
658
659
660
661
662
663
664
665
666
667
668
669
670
671
672
673
674
675
676
677
678
679
680
681
682
683
684
685
686
687
688
689
690
691
692
693
694
695
696
697
698
699
700
701
702
703
704
705
706
707
708
709
710
711
712
713
714
715
716
717
718
719
720
721
722
723
724
725
726
727
728
729
730
731
732
733
734
735
736
737
738
739
740
741
742
743
744
745
746
747
748
749
750
751
752
753
754
755
756
757
758
759
760
761
762
763
764
765
766
767
768
769
770
771
772
773
774
775
776
777
778
779
780
781
782
783
784
785
786
787
788
789
790
791
792
793
794
795
796
797
798
799
800
801
802
803
804
805
806
807
808
809
810
811
812
813
814
815
816
817
818
819
820
821
822
823
824
825
826
827
828
829
830
831
832
833
834
835
836
837
838
839
840
84

(21) 出版番号 特設平11-32784

(71)出願人 000000295

(22) 出版日 平成11年2月10日(1999.2.10)

東京都港区虎ノ門1丁目7番12号
(72)発行者 徳田 博文

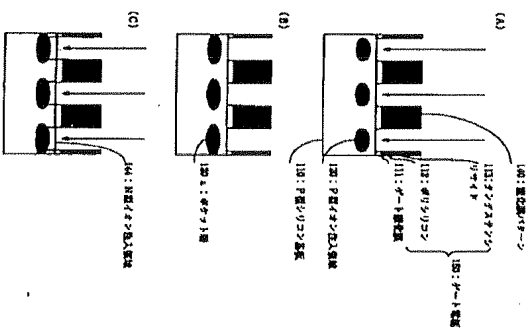
東京都港区虎ノ門1丁目7番12号 神電ビル
工業株式会社内
(70) 代理人 1000893083
井澤士 大西 健治
Fターム(参考) SR04 DD01 ED01 ED04 ED07 EC13

(54) 【発明の名称】 半導体装置の製造方法

(57) 【製劑】

【目的】 半導体装置、特にボウツト層を有するMOS FETの製造工程において、微細化により不純物イオン層をシリコン基板に対して斜め方向から注入することが困難になった場合でも、確実にボウツト層を有するMOS FETを形成する。

【構成】P型シリコン基板110上にゲート酸化膜111、ポリシリコン121およびタンタルシリコンサード113からなるゲート電極150、蓋状膜200を140を選択的に形成した後、P型の不純物、オン注入をP型シリコン基板110に対して垂直に行う。そして、このP型の不純物、オン注入により形成されたP型オン注入領域120を他のオン注入領域を形成する前に拡張させて活性化し、ボタケ幅120aを形成する。



【特許請求の範囲】

【請求項】 第1導電型の半導体基体表面上に、ゲート絶縁膜およびゲート絶縁膜上にゲート電極を選択的に形成する工程と、
前記ゲート電極をマスクにして、第1導電型の不純物を前記半導体基体表面より所定の深さに入射する工程と、
前記不純物を前記ゲート電極下のチャネル領域の所定部に拡散させる工程と、
前記拡散工程後、前記ゲート電極をマスクにして、第2導電型の不純物を前記半導体基体表面より所定の深さに入射する工程と、

せることにより、第2導電型のソースおよびドレインを形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 請求項1に記載の半導体装置の製造方法において、前記第1導電型の不純物を導入する工程後、前記第1導電型の不純物を拡散させる工程の前に、前記第1導電型の不純物を導入した部分の前記半導体基板の露出した表面を覆う外部保護防止用膜を形成する工程を行うことを特徴とする半導体装置の製造方法。

【請求項3】 請求項2に記載の半導体装置の製造方法において、前記外部保護防止用膜を形成する工程は、前記第1導電型の不純物の外部保護防止可能な膜厚にまで成長させた後、前記第1導電型の不純物が熱拡散する温度まで上昇させて行うことを特徴とする半導体装置の製造方法。

【請求項4】請求項1に記載の半導体装置の製造方法において、前記第1導電型の不純物を前記チャネル領域の前記所定部分に拡散させる工程後、前記シリコンまたは前記ドレインと、前記チャネル領域とは異なる領域に、前記シリコンと同一導電型で、かつ前記シリコンに比して低濃度の不純物領域を形成する工程を行うことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【産業上の利用分野】この発明は半導体装置、特にボケット型を用いたMOS FETの製造方法に関するものである。

100021

【従来の技術】 MOS FET (Metal Oxide Semiconductor Field Effect Transistor) において、ゲート長を短くする上で問題となってくる短チャネル効果を抑制するために、ソース・ドレインとチャネル領域に挟まれた領域に、低抵抗かつ低投与ドープソース・ドレインと同じ導電性の不純物層である LDD (Lightly Doped Drain) 層を有する構造がよく用いられている。しかし、ゲート長が、 $0.5\mu\text{m}$ 以下になってくると、LDD 構造だけでは短チャネル効果を抑制することは困難になってくる。そこで、ポット層を有する構造を用いられること

が多くなってきた

特開平12-232075

【0003】 ポケット図は、ソース・ドレインと異なる導電型の不純物を、動作時にチャネル領域下で空の層が広がる部分に形成する必要がある。そのために、半導体基板表面に対して斜め方向にイオン注入を行う。これにより形成されたイオン注入領域を、他のイオン注入領域、例えばソース・ドレインとなるイオン注入領域などを形成した後、これらと同時に活性化させて形成する。

【0004】図7および8は従来のMOSFETの形成工程を示す断面工程図である。これを用いて従来の工程におけるボウゲット層を有するMOSFETの形成プロセスを以下に簡単に説明する。

【0005】また図7 (A) に示すように、P型シリコン基板410上に酸化膜、ポリシリコン膜、タンタルシリサイド膜および窒化膜を順に形成する。それからこれらの4層の膜を、バリエーションとして、ゲート酸化膜411、ポリシリコン412とタンタルシリサイド413からなるゲート電極450、および窒化膜パターン440を連続的に形成する。それからP型シリコン基板410中に、P型の不純物イオン、例えばBF₃を、酸化膜パターン414およびゲート電極450をマスクにして、図7 (A) の矢印で示すようにP型シリコン基板410の表面に対して斜め方向から注入し、P型イオン注入領域420を形成する。

(0066) 次に、図7(B)に示すように、例えはA¹_S型基板410中に、N型の不純物(オン・ペアレンス)を酸化炭素イオン414およびプラズマ電極450をマスクにして、図7(B)の矢印で赤きようにP型シリコン基板410の表面に対して垂直に注入し、N型オゾン注入部444を形成する。このオゾン注入でのドーパ量は図7(C)におけるソース・ドレイン層423a形成のために行うオゾン注入のドーパ量の100分の1程度である。

【0000】次に図7 (C) に示すように、ゲート電極450、窒化膜・タンコン440およびゲート酸化膜411の順に堆積せらるるサリコソールズペース441を逐次的に形成し、次にP型シリコン基板410中に、N型の不純物イオン、例へば 5×10^{15} サリコソールペース441および窒化膜・タンコン440をマスクにして、P型シリコン基板410の表面に対して垂直に注入し、N型イオン注入領域423を形成する。

ここで、今までに形成した各イオン注入領域420.444、423をそれぞれ活性化させ、イオン注入領域420からポット側420aを、イオン注入領域444からLDD層444aを、そしてイオン注入領域423からゾーン・ドレイン層423aを形成する。それからSiO₂の総厚みの層間膜415を形成し、ゾーン・ドレイン層423aの上部にコンタクトポット430を開孔させる。

【0009】次に図8 (B) に示すように、コンタクトホール430内にコンタクト図432を埋め込み、このコンタクト図432の上に配線図431を形成する。

【0010】
【発明が解決しようとする課題】 以上に述べたように従来のポグット図の形成工程では、シリコン基板表面に対して斜め方向からイオン注入を行い、動作時にチャネル領域下で変容層が広がる部分にイオン注入領域を形成し、その後、このイオン注入領域を活性化することによってポグット図を形成していた。

【0011】しかしながら、微細化が進みデザインルールが例えば18 μ m以下になると、ゲート電極同士の間隔がゲート電極の高さに比べて狭くなり、シリコン基板表面に対して斜め方向からイオン注入を行うと、隣のゲート電極の側に隠れて不純物イオンが注入されない、シャド効果が生れはじめる。こうなるとイオン注入領域が、動作時にチャネル領域下で変容層が広がる部分にまで形成されなくなる。つまり、ポグット図を形成することができなくなる。一方、全イオン注入領域形成後に、イオン注入を並置する時間を長くして、ポグット図を形成する方法を用いると、他のイオン注入図、例えばソース・ドレインとなるイオン注入図が並置しすぎてしまい、デバイス特性を劣化させてしまう。

【0012】本発明の目的は、短チャネル効果がより顕著となるデザインルール0.18 μ m以下の世代の半導体装置においても、ポグット図を確実に形成できる半導体装置の製造方法を提案することにある。

【0013】
【課題を解決するための手段】 上述の目的を達成するため、本発明の半導体装置の製造方法では、第1導電型の半導体基板表面に、ゲート絶縁膜およびゲート絶縁膜上に位置するゲート電極を選択的に形成する。次に第1導電型の不純物を、ゲート電極をマスクにして半導体基板表面に対して垂直に導入することにより、半導体基板中の所定の深さに第1導電型のイオン注入領域を形成する。このイオン注入領域をゲート電極に付着するチャネル領域の下に位置するように並置させることにより、活性化される。その後ゲート電極をマスクにして、第2導電型の不純物を半導体基板表面より所定の深さに導入することにより、第2導電型のイオン注入領域を形成する。それらからこれを活性化させて第2導電型のソースおよびドレインを形成する。

【0014】
【発明の装置の形態】 図1および図2は本発明の半導体装置の製造方法の第1の実施の形態について説明するための断面工程図である。以下、図1および図2を用いて本発明の第1の実施の形態について説明する。

【0015】本発明の第1の実施の形態を用いて、NMOSFET (N-type Metal Oxide Semiconductor Field Effect Transistor) を製造する場合について説明す

る。

【0016】まず、図1 (A) に示すように、P型シリコン基板110上に酸化膜、ポリシリコン膜、タンタムシリサイド膜および窒化膜を順に形成する。そしてこれらの4層の膜をパターンニングしてゲート酸化膜111、ポリシリコン112とタンタムシリサイド113からなるゲート電極150、および窒化膜パターン140を選択的に形成する。

【0017】次に、P型シリコン基板110中に窒化膜パターン114およびゲート電極150をマスクにして、P型シリコン基板110の表面に対して図1 (A) の矢印で示すように垂直にP型の不純物イオンを注入して、P型イオン注入領域120を形成する。図1 (A) の工程のパラメータおよび条件は以下の通りである。注入する不純物イオンの種類: B⁺、イオン注入エネルギー: 約30keV、P型シリコン基板110の表面からの注入深さ: 0.07~0.10 μ m、ドーズ量: 約10¹³/cm²。

【0018】次に図1 (B) に示すように、P型イオン注入領域120を動作時にチャネル領域下で変容層が広がる部分にまで熱拡散させるため、800~850℃で90~90分、熱処理を行う。この熱処理によって、P型イオン注入領域120は拡散されることにより活性化されてポグット図120aとなる。

【0019】次に図1 (C) に示すように、P型シリコン基板110中に窒化膜パターン114およびゲート電極150をマスクにして、P型シリコン基板110の表面に対して図1 (C) の矢印で示すように垂直にN型の不純物イオンを注入して、N型イオン注入領域144を形成する。図1 (C) の工程のパラメータおよび条件は以下の通りである。注入する不純物イオンの種類: A⁺、イオン注入エネルギー: 約20~30keV、P型シリコン基板の表面からの注入深さ: 約0.04~0.07 μ m、ドーズ量: 約2×10¹³~5×10¹³/cm²。

【0020】次に図2 (A) に示すように、ゲート電極150、窒化膜パターン140およびゲート酸化膜111の問題に置換されるポリシリコン層141を形成する。

【0021】そして、P型シリコン基板110中に、ポリシリコン層141および窒化膜パターン140をマスクにして、P型シリコン基板110の表面に対して垂直にN型の不純物イオンを注入して、N型イオン注入領域123を形成する。図2 (A) の工程のパラメータおよび条件は以下の通りである。注入する不純物イオンの種類: A⁺、イオン注入エネルギー: 約30keV、P型シリコン基板110の表面からの注入深さ: 約0.1 μ m、ドーズ量: 約5×10¹⁵/cm²。

【0022】次に図2 (B) に示すように、約1000℃において約10秒の熱処理を行う。この熱処理によって、N型イオン注入領域123は活性化されてソース・ドレイン層123aとなり、N型イオン注入領域144は活性化

されてLDD層144aとなる。次に、全面にSiO₂などの絶縁性の層間膜115を堆積させ、それからソース・ドレイン層123aの上部に、ポリシリグラフィー工程とエッチング工程を行って、コンタクトホール130を開孔させる。

【0023】次に図2 (C) に示すように、コンタクト層132を形成するため導電層を全面に堆積させ、エッチングまたはCMP (Chemical Mechanical Polishing) を行ってコンタクトホール130にコンタクト層132を形成する。最後に配線図131を堆積させてポリシリグラフィー工程とエッチング工程でパターンニングする。なお、コンタクト層132を配線層として用いることも可能である。

【0024】なお窒化膜パターン140およびポリシリコン層141は、図2 (B) におけるソース・ドレイン層123aの上部にコンタクトホール130を開孔するとき、ポリシリグラフィー工程におけるマスク合わせのずれに起因して、コンタクトホールの開口位置がずれた場合に生じる。ゲート電極150の露出を防ぐ役がある。もしも、ゲート電極150が露出した状態で図2 (B) に示したコンタクトホール130に図2 (C) に示したコンタクト層132を形成すると、このコンタクト層132と、露出したゲート電極150が電気的に接続し、ショートしてしまう。したがって、ゲート電極150上に窒化膜パターン140を、およびゲート電極150、窒化膜パターン140およびゲート酸化膜111の側壁にポリシリコン層141を配しておくことによって上記のずれに対する問題を解消できる。

【0025】上述した通り、本発明の第1の実施の形態の半導体装置の製造方法は、ポグット図120aとなるP型イオン注入領域120は、ソース・ドレイン層123aを形成する前に独立して熱拡散するため、ソース・ドレイン層123aの形成工程に影響を与えずに、ポグット図となるP型イオン注入領域120の拡散条件を任意に設定できる。つまり、P型イオン注入領域120をイオン注入によって直接、動作時にチャネル領域下で変容層が広がる部分に形成しなくてもいい。したがってP型の不純物のイオンをP型シリコン基板110の表面に対して垂直に注入することが可能になるので、P型の不純物のイオンをゲート電極150によって運ばれることなく注入できる。したがってゲート電極150の高さが高く、降り合うゲート電極150同士の間隔が狭い場合でも、ポグット図120aを動作時にチャネル領域下で変容層が広がる部分に形成することができ、これにより十分な短チャネル効果の抑制を行うことが可能になる。

【0026】さらにLDD層144aは、ポグット図120a形成の後に形成されるため、ポグット図120a形成工程に影響を与えずに、形成することができ

る。これは、ポグット図120aとなるP型イオン注入領域120はLDD層144aとなるイオン注入領域144aを形成する前に独立して熱拡散することができるからである。

【0027】本発明の第1の実施の形態ではNMOSFETを例にして説明したが、これに限られたものではなく、PMOSFET (P-type Metal Oxide Semiconductor Effect Transistor) を製造する場合に用いてもよい。PMOSFETを製造する場合には、P型シリコン基板110の代わりにN型シリコン基板を用いる。さらに図1 (A) の工程においては、P型イオン注入領域120形成のためのP型の不純物イオン注入の代わりにN型の不純物イオンを注入して、N型イオン注入領域を形成する。図1 (A) の工程のパラメータおよび条件は以下の通りである。注入する不純物イオンの種類: P⁺またはA⁺、イオン注入エネルギー: P⁺の場合は約0keV、A⁺の場合は約150keV、N型シリコン基板の表面からの注入深さ: 0.07~0.10 μ m、ドーズ量: 約10¹³/cm²。

【0028】さらに図1 (C) の工程においては、N型イオン注入領域144形成のためのイオン注入の代わりにP型の不純物イオンを注入して、P型イオン注入領域を形成する。図1 (C) の工程のパラメータおよび条件は以下の通りである。注入する不純物イオンの種類: B⁺、イオン注入エネルギー: 約20~30keV、N型シリコン基板の表面からの注入深さ: 約0.04~0.07 μ m、ドーズ量: 約2×10¹³~5×10¹³/cm²。

【0029】そして図2 (A) の工程においては、N型イオン注入領域123形成のためのイオン注入の代わりにP型の不純物イオンを注入して、P型イオン注入領域を形成する。図2 (A) の工程のパラメータおよび条件は以下の通りである。注入する不純物イオンの種類: B⁺、イオン注入エネルギー: 約40keV、N型シリコン基板の表面からの注入深さ: 約0.15 μ m、ドーズ量: 約3×10¹⁵/cm²。

【0030】その他の手順はNMOSFETの場合と同じである。

【0031】本発明の半導体装置の製造方法は、半導体基板の一部に半導体基板と異なる導電型の基体を形成し、この基体の表面に半導体装置を形成する場合にも適用することができ、

【0032】また本発明例ではP型シリコン基板110上の酸化膜を、ゲート電極150や窒化膜パターン140と同時にパターンニングして、ゲート酸化膜111を形成しているが、この方法に限られるものではなく、P型シリコン基板110上の酸化膜のパターンニングによるゲート酸化膜111の形成は、ポグット図120a形成後、N型イオン注入領域144形成前に行ってもよい。

【0033】あるいはLDD層144aの代わりに、エクスプレジション層を形成してもよい。このとき、不純物

イオン注入の条件は以下の通りである。注入する不純物イオンの種類: NMOS FETの場合 A^{5+} , PMOS FETの場合 B^{F2+} 、イオン注入エネルギー: 約5~10keV、P型シリコン基板の表面からの注入深さ: 約0.03~0.05 μm 、ドーパ量: NMOS FETの場合約 $3 \times 10^{14} \sim 1 \times 10^{15}/cm^2$ 、PMOS FETの場合約 $1 \times 10^{14} \sim 5 \times 10^{14}/cm^2$ 。

【0034】図3および図4は本発明の半導体装置の製造方法の第2の実施の形態について説明するための断面工程図である。以下、図3および図4を用いて本発明の第2の実施の形態について説明する。

【0035】本発明の第2の実施の形態を用いて、NMOS FETを製造する場合について説明する。

【0036】まず、図3 (A) に示すように、P型シリコン基板210上に酸化膜、ポリシリコン膜、タンダスチンシリサイド膜および窒化膜を順に形成する。そしてこれらの4層の膜をパターンニングしてゲート酸化膜211、ポリシリコン212とタンダスチンシリサイド213からなるゲート電極250、および窒化膜パターン240を選択的に形成する。

【0037】次に、P型シリコン基板210中に窒化膜パターン214およびゲート電極250をマスクにして、P型シリコン基板210の表面に対して図3 (A) の矢印で示すように垂直にP型の不純物イオンを注入して、P型イオン注入領域220を形成する。図3 (A) の工程のパラメータおよび条件は以下の通りである。注入する不純物イオンの種類: B^{F2+} 、イオン注入エネルギー: 約30keV、P型シリコン基板210の表面からの注入深さ: 約0.07~0.10 μm 、ドーパ量: 約 $10^{13}/cm^2$ 。【0038】次に図3 (B) に示すように、約1000℃において図3 (A) の外部拡散防止用膜242を0.03~0.04 μm 程度させる。外部拡散防止用膜242を0.03~0.04 μm 程度させる。外部拡散防止用膜242の厚さは、P型イオン注入領域220中に含まれるP型の不純物イオンが熱処理時、P型シリコン基板210の外部に拡散しない程度に設定されている。

【0039】次に図3 (C) に示すように、P型イオン注入領域220を動作時にチャネル領域で変容図が広がる部分に位置するように熱拡散させるため、800~850℃において60~90分、熱処理を行う。この熱処理によって、P型イオン注入領域220は拡散されることにより活性化されてゲート層220となる。

【0040】次に図3 (D) に示すように、外部拡散防止用膜242を取り除く。それからP型シリコン基板210中に窒化膜パターン214およびゲート電極250をマスクにして、P型シリコン基板210の表面に対して図3 (D) の矢印で示すように垂直にN型の不純物イオンを注入して、N型イオン注入領域244を形成する。図3 (D) の工程のパラメータおよび条件は以下の通りである。注入する不純物イオンの種類: A^{5+} 、イオン注入エネルギー: 約20~30keV、P型シリコン基板

の表面からの注入深さ: 約0.04~0.07 μm 、ドーパ量: 約 $2 \times 10^{13} \sim 5 \times 10^{13}/cm^2$ 。

【0041】次に図4 (A) に示すように、ゲート電極250、窒化膜パターン240およびゲート酸化膜211の側面に窒化膜からなるサイドウォールスパサ241を形成する。

【0042】そして、P型シリコン基板210中に、サイドウォールスパサ241および窒化膜パターン240をマスクにして、P型シリコン基板210の表面に対して垂直にN型の不純物イオンを注入して、N型イオン注入領域223を形成する。図4 (A) の工程のパラメータおよび条件は以下の通りである。注入する不純物イオンの種類: A^{5+} 、イオン注入エネルギー: 約50keV、P型シリコン基板210の表面からの注入深さ: 約0.1 μm 、ドーパ量: 約 $5 \times 10^{15}/cm^2$ 。

【0043】次に図4 (B) に示すように、約1000℃において約10分熱処理を行う。この熱処理によって、N型イオン注入領域223は活性化されてソース・ドレイン層223aとなり、N型イオン注入領域244は活性化されてLDD層244aとなる。次に、全面にSiO₂などの絶縁性の膜厚215を堆積させ、それからソース・ドレイン層223aの上部に、ポリシリコングラフイ工程とエッチング工程を行って、コンタクトホール230を開く。

【0044】次に図4 (C) に示すように、コンタクト層230を形成する。この場合、全面に堆積させ、エッチングまたはCMPを行ってコンタクトホール内230にコンタクト層232を形成する。最後に絶縁膜231を堆積させてポリシリコングラフイ工程とエッチング工程を行って、コンタクト層232を配線層として用いることも可能である。

【0045】なお窒化膜パターン240およびサイドウォールスパサ241は、図4 (B) におけるソース・ドレイン層223aの上部にコンタクトホール230を開くするとき、ポリシリコングラフイ工程におけるマスク合わせのずれに起因して、コンタクトホールにおける図がずれた場合に生じる。ゲート電極250の露出を防ぐ必要がある。もしも、ゲート電極250が露出した状態で図4 (B) に示したコンタクトホール230に図4 (C) に示したコンタクト層232を形成すると、このコンタクト層232と、露出したゲート電極250が電気的に接続し、ショートしてしまう。したがって、ゲート電極250上に窒化膜パターン240を、およびゲート電極250、窒化膜パターン240およびゲート酸化膜211の側面にサイドウォールスパサ241を配しておくことによって上記のずれに対する問題を解消できる。

【0046】上述した通り、本発明の第2の実施の形態の半導体装置の製造方法では、ゲート層220aとなるP型イオン注入領域220は、ソース・ドレイン層2

23aを形成する前に独立して熱拡散するため、ソース・ドレイン層223aの形成工程に影響を与えずに、ゲート層となるP型イオン注入領域220の拡散条件を任意に設定できる。つまり、P型イオン注入領域220をイオン注入によって直接、動作時にチャネル領域で変容図が広がる部分に形成しなくてもいい。したがってP型の不純物イオンをP型シリコン基板210の表面に対して垂直に注入することが可能になるので、P型の不純物のイオンをゲート電極250によって遮られることなく注入できる。したがってゲート電極250の高さが高く、露り合うゲート電極250同士の間隔が狭い場合でも、ゲート層220aを動作時にチャネル領域で変容図が広がる部分に形成することができ、これにより十分な駆動チャネル効果の抑制を行うことが可能になる。

【0047】さらにLDD層244aは、ゲート層220a形成の後に形成されるため、ゲート層220a形成工程に影響を与えることなく、形成することができ。つまり、ゲート層220aとなるP型イオン注入領域220はLDD層244aとなるイオン注入領域144を形成する前に独立して熱拡散することができからである。

【0048】さらに、図3 (B) に示した外部拡散防止用膜242の堆積工程を有することにより、図3 (C) に示したP型イオン注入領域220を熱拡散によって活性化させてゲート層220aを形成するとき、P型イオン注入領域220中の不純物イオンが外部拡散防止用膜242に遮断されるので、この不純物イオンがP型シリコン基板210の外に拡散していくことを防ぐことができる。

【0049】本発明の第2の実施の形態ではNMOS FETを例にして説明したが、これに限られたものではなく、PMOS FETを製造する場合に用いてもよい。PMOS FETを製造する場合には、P型シリコン基板210の代わりにN型シリコン基板を用いる。さらに図3 (A) の工程においては、P型イオン注入領域220形成のためのP型のイオン注入の代わりにN型の不純物イオンを注入して、N型イオン注入領域を形成する。図3 (A) の工程のパラメータおよび条件は以下の通りである。注入する不純物イオンの種類: P^{+} または A^{5+} 、イオン注入エネルギー: P^{+} の場合約70keV、 A^{5+} の場合は約50keV、N型シリコン基板の表面からの注入深さ: 約0.07~0.10 μm 、ドーパ量: 約 $10^{13}/cm^2$ 。

【0050】さらに図3 (D) の工程においては、N型イオン注入領域244形成のためのイオン注入の代わりにP型の不純物イオンを注入して、P型イオン注入領域を形成する。図3 (D) の工程のパラメータおよび条件は以下の通りである。注入する不純物イオンの種類: B^{F2+} 、イオン注入エネルギー: 約20~30keV、N型シリコン基板の表面からの注入深さ: 約0.04~0.07 μm 、ド

ーパ量: 約 $2 \times 10^{13} \sim 5 \times 10^{13}/cm^2$ 。

【0051】そして図4 (A) の工程においては、N型イオン注入領域223形成のためのイオン注入の代わりにP型の不純物イオンを注入して、P型イオン注入領域を形成する。図4 (A) の工程のパラメータおよび条件は以下の通りである。注入する不純物イオンの種類: B^{F2+} 、イオン注入エネルギー: 約40keV、N型シリコン基板の表面からの注入深さ: 約0.15 μm 、ドーパ量: 約 $3 \times 10^{15}/cm^2$ 。

【0052】その他の手順はNMOS FETの場合と同じである。

【0053】本発明の半導体装置の製造方法は、半導体基板の一部に半導体基板と異なる導電型の基板を形成し、この基板の表面に半導体装置を形成する場合にも使うことができる。

【0054】また本発明例ではP型シリコン基板210上の酸化膜を、ゲート電極250や窒化膜パターン240と同時にパターンニングして、ゲート酸化膜211を形成しているが、この方法に限られるものではなく、P型シリコン基板210上の酸化膜のパターンニングによるゲート酸化膜211の形成は、外部拡散防止用膜242を取り除くときに行ってもよい。

【0055】あるいはLDD層244aの代わりに、エクスプラッシュ層を形成してもよい。このとき、不純物イオンの注入の条件は以下の通りである。注入する不純物イオンの種類: NMOS FETの場合 A^{5+} 、PMOS FETの場合 B^{F2+} 、イオン注入エネルギー: 約5~10keV、P型シリコン基板の表面からの注入深さ: 約0.03~0.05 μm 、ドーパ量: NMOS FETの場合約 $3 \times 10^{14} \sim 1 \times 10^{15}/cm^2$ 、PMOS FETの場合約 $1 \times 10^{14} \sim 5 \times 10^{14}/cm^2$ 。

【0056】図5および図6は本発明の半導体装置の製造方法の第3の実施の形態について説明するための断面工程図である。以下、図5および図6を用いて本発明の第3の実施の形態について説明する。

【0057】本発明の第3の実施の形態を用いてNMOS FETを製造する場合について説明する。

【0058】まず、図5 (A) に示すように、P型シリコン基板310上に酸化膜、ポリシリコン膜、タンダスチンシリサイド膜および窒化膜を順に形成する。そしてこれらの4層の膜をパターンニングしてゲート酸化膜311、ポリシリコン312とタンダスチンシリサイド313からなるゲート電極350、および窒化膜パターン340を選択的に形成する。

【0059】次に、P型シリコン基板310中に窒化膜パターン314およびゲート電極350をマスクにして、P型シリコン基板310の表面に対して図5 (A) の矢印で示すように垂直にP型の不純物イオンを注入して、P型イオン注入領域320を形成する。図5 (A) の工程のパラメータおよび条件は以下の通りである。注

入する不純物イオンの種類：B、F⁺、イオン注入エネルギー：約100keV、P型シリコン基板310の表面からの注入深さ：約0.07～0.10μm、ドーズ量：約10¹³/cm²。

【0060】次に図5(B)に示すように、まずP型イオン注入領域320中に含まれるP型の不純物イオンが、P型シリコン基板310の外側に拡散しない程度の温度として例えば700℃で、かつ酸素雰囲気中で熱処理し、酸で800～850℃に温度を上げて、P型イオン注入領域320を拡散させることにより活性化させてボタクト層320aを形成する。この際、例えばSiO₂膜である外部拡散防止用膜342も形成される。つまり、図5(B)に示す工程にて、P型イオン注入領域320中に含まれるP型の不純物イオンの外部拡散防止およびボタクト層320a形成を連続して行う。

【0061】次に図5(C)に示すように、外部拡散防止用膜342を取り除く。それからP型シリコン基板310中に活性化パターン314およびゲート電極350をマスクにして、P型シリコン基板310の表面に対して図5(C)の矢印で示すように垂直にN型の不純物イオンを注入して、N型イオン注入領域344を形成する。図5(C)の工程のパラメータおよび条件は以下の通りである。注入する不純物イオンの種類：A、S⁺、イオン注入エネルギー：約20～300keV、P型シリコン基板の表面からの注入深さ：約0.04～0.07μm、ドーズ量：約2×10¹³～5×10¹³/cm²。

【0062】次に図6(A)に示すように、ゲート電極350、酸化膜パターン340およびゲート酸化膜311の領域に露出するサイドウォールスペース341を形成する。

【0063】そして、P型シリコン基板310中に、サイドウォールスペース341および酸化膜パターン340をマスクにして、P型シリコン基板310の表面に対して垂直にN型の不純物イオンを注入して、N型イオン注入領域323を形成する。図6(A)の工程のパラメータおよび条件は以下の通りである。注入する不純物イオンの種類：A、S⁺、イオン注入エネルギー：約50keV、P型シリコン基板310の表面からの注入深さ：約0.1μm、ドーズ量：約5×10¹⁵/cm²。

【0064】次に図6(B)に示すように、約1000℃において約10秒熱処理を行う。この熱処理によって、N型イオン注入領域323は活性化されてソース・ドレイン層323aとなり、N型イオン注入領域344は活性化されてLDD層344aとなる。次に、全面にSiO₂膜の絶縁性の層間膜315を堆積させ、それからソース・ドレイン層323aの上面に、フォトリソグラフィ工程とエッチング工程を行って、コンタクトホール330を開孔させる。

【0065】次に図6(C)に示すように、コンタクト層332を形成するため導電膜を全面に堆積させ、エッチングまたはCMPを行ってコンタクトホール内330

0にコンタクト層332を形成する。最後に層間膜331を堆積させてフォトリソグラフィ工程とエッチング工程の繰り返しを行う。なお、コンタクト層332を絶縁膜として用いることも可能である。

【0066】なお酸化膜パターン340およびサイドウォールスペース341は、図6(B)におけるソース・ドレイン層323aの上面にコンタクトホール330を開孔するとき、フォトリソグラフィ工程におけるマスク合わせのずれに起因して、コンタクトホールの開口位置がずれた場合に生じる。ゲート電極350の露出を防ぐ役割がある。もしも、ゲート電極350が露出した状態で図6(B)に示したコンタクトホール330に図6(C)に示したコンタクト層332を形成すると、このコンタクト層332と、露出したゲート電極350が電気的に接続し、ショートしてしまう。したがって、ゲート電極350上に酸化膜パターン340を、およびゲート電極350、酸化膜パターン340およびゲート酸化膜311の領域にサイドウォールスペース341を配しておくことにより上記のずれに対する問題を解消できる。

【0067】上述した通り、本発明の第3の実施形態の半導体装置の製造方法は、ボタクト層320aとなるP型イオン注入領域320は、ソース・ドレイン層323aを形成する前に独立して熱処理するため、ソース・ドレイン層323aの形成工程に影響を与えずに、ボタクト層となるP型イオン注入領域320の拡散条件を任意に設定できる。つまり、P型イオン注入領域320をイオン注入によって直接、動作時にチャネル領域下で変圧層が広がる部分に形成しなくてもいい。したがってP型の不純物イオンをP型シリコン基板310の表面に対して垂直に注入することが可能になるので、P型の不純物イオンをゲート電極350によって運ばれることなく注入できる。したがってゲート電極350の高さが高く、隣り合うゲート電極350同士の間の距離が狭い場合でも、ボタクト層320aを動作時にチャネル領域下で変圧層が広がる部分に形成することができ、これにより十分な短チャネル効果の抑制を行うことが可能になる。

【0068】さらにLDD層344aは、ボタクト層320a形成の後形成されるため、ボタクト層320a形成工程に影響を与えずに、形成することができ。つまり、ボタクト層320aとなるP型イオン注入領域320はLDD層344aとなるP型イオン注入領域344を形成する前に独立して熱処理することができらる。

【0069】さらに、図5(B)に示した外部拡散防止用膜342の堆積工程を有することにより、P型イオン注入領域320を熱処理によって活性化させてボタクト層320aを形成するとき、P型イオン注入領域320中の不純物イオンが外部拡散防止用膜342に遮断され

るので、この不純物イオンがP型シリコン基板310の外に拡散していくことを防ぐことができる。さらに、P型イオン注入領域320中の不純物イオンの外部拡散防止用膜342形成およびボタクト層320a形成を連続して行うため、本発明の第3の実施例よりもMOSFET形成工程を簡便にできる。

【0070】本発明の第3の実施形態ではNMOSFETを例にして説明したが、これに限られたものではない。PMOSFETを製造する場合には、代わりに、PMOSFETを製造する場合には、P型シリコン基板310の代わりにN型シリコン基板を用いる。さらに図5(A)の工程においては、P型イオン注入領域320形成のためのP型のイオン注入では、代わりにN型の不純物イオンを注入して、N型イオン注入領域を形成する。図5(A)の工程のパラメータおよび条件は以下の通りである。注入する不純物イオンの種類：PまたはA、S⁺、イオン注入エネルギー：Pの場合は約100keV、A、S⁺の場合は約50keV、N型シリコン基板の表面からの注入深さ：約0.07～0.10μm、ドーズ量：約10¹³/cm²。

【0071】さらに図5(C)の工程においては、N型イオン注入領域344形成のためのイオン注入は、代わりにP型の不純物イオンを注入して、P型イオン注入領域を形成する。図5(C)の工程のパラメータおよび条件は以下の通りである。注入する不純物イオンの種類：B、F⁺、イオン注入エネルギー：約20～300keV、N型シリコン基板の表面からの注入深さ：約0.04～0.07μm、ドーズ量：約2×10¹³～5×10¹³/cm²。

【0072】そして図6(A)の工程においては、N型イオン注入領域323形成のためのイオン注入は、代わりにP型の不純物イオンを注入して、P型イオン注入領域を形成する。図6(A)の工程のパラメータおよび条件は以下の通りである。注入する不純物イオンの種類：B、F⁺、イオン注入エネルギー：約40keV、N型シリコン基板の表面からの注入深さ：約0.15μm、ドーズ量：約3×10¹⁵/cm²。

【0073】その他の手順はNMOSFETの場合と同じである。

【0074】本実施例の半導体装置の製造方法は、半導体基板の一部に半導体基板と異なる導電型の基体を形成し、この基体の表面に半導体装置を形成する場合にも使うことができる。

【0075】また本実施例ではP型シリコン基板310上の酸化膜を、ゲート電極350や酸化膜パターン340と同時にパターンニングして、ゲート酸化膜311を形成しているが、この方法に限られるものではなく、P型シリコン基板310上の酸化膜のパターンニングによるゲート酸化膜311の形成は、外部拡散防止用膜342を

取り除くときに行ってもよい。

【0076】あるいはLDD層344aの代わりに、エクスプレッション層を形成してもよい。このとき、不純物イオン注入の条件は以下の通りである。注入する不純物イオンの種類：NMOSFETの場合A、S⁺、PMOSFETの場合B、F⁺、イオン注入エネルギー：約5～10keV、P型シリコン基板の表面からの注入深さ：約0.03～0.05μm、ドーズ量：NMOSFETの場合約3×10¹⁴～1×10¹⁵/cm²、PMOSFETの場合約1×10¹⁴～5×10¹⁴/cm²。

【0077】

【発明の効果】以上説明したように本発明の実施形態を用いることにより、MOSFET形成において、不純物イオン注入によるボタクト層の形成が困難になってくるデバイスルール0.18μm程度以下の世代の半導体装置でも、絶縁にボタクト層を形成することができ。

【図面の簡単な説明】

【図1】本発明の第1の実施例の工程その1を断面図で示すものである。

【図2】本発明の第1の実施例の工程その2を断面図で示すものである。

【図3】本発明の第2の実施例の工程その1を断面図で示すものである。

【図4】本発明の第2の実施例の工程その2を断面図で示すものである。

【図5】本発明の第3の実施例の工程その1を断面図で示すものである。

【図6】本発明の第3の実施例の工程その2を断面図で示すものである。

【図7】従来の工程その1を断面図で示すものである。

【図8】従来の工程その2を断面図で示すものである。

【符号の説明】

110：P型シリコン基板

111：ゲート酸化膜

112：ポリシリコン

113：層間膜

115：層間膜

120：P型イオン注入領域

120a：ボタクト層

123：N型イオン注入領域

123a：ソース・ドレイン層

130：コンタクトホール

131：配線層

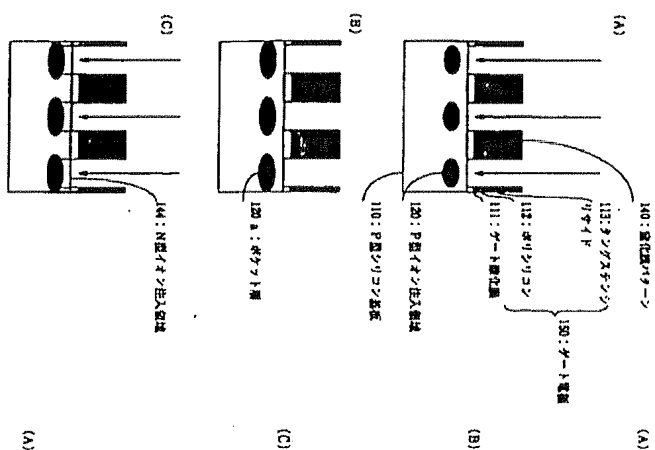
132：コンタクト層

140：酸化膜パターン

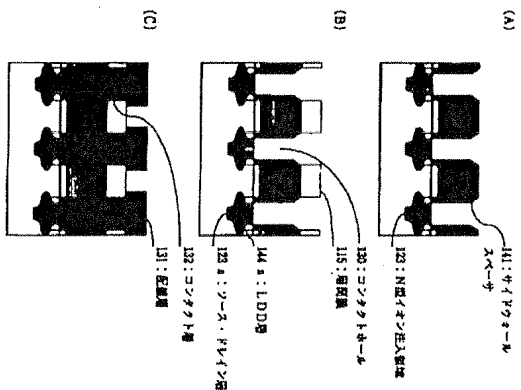
141：サイドウォールスペース

150：ゲート電極

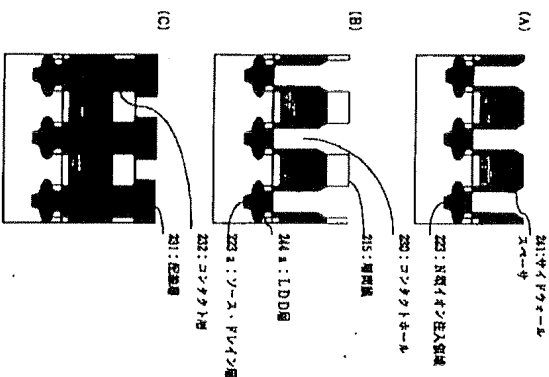
【図1】



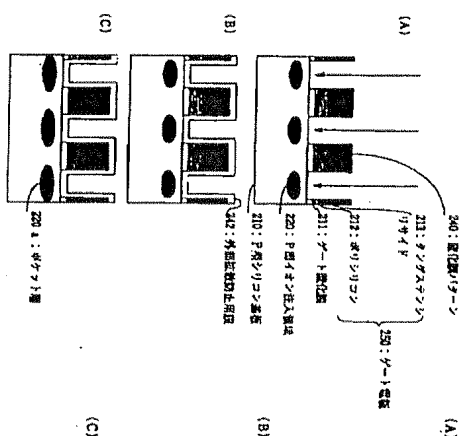
【図2】



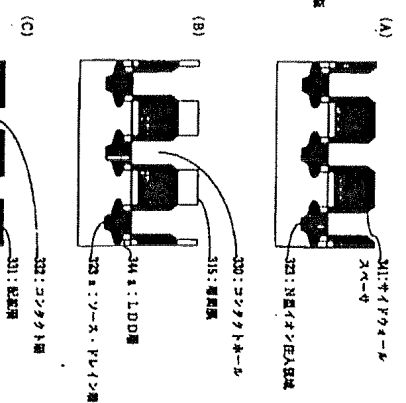
【図4】



【図3】



【図6】



【図7】

